

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 7 月 7 日 (07.07.2005)

PCT

(10) 国際公開番号
WO 2005/062150 A1

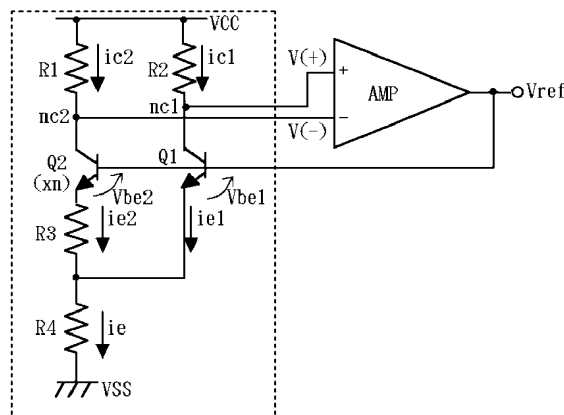
(51) 国際特許分類⁷: G05F 3/30
 (21) 国際出願番号: PCT/JP2004/017910
 (22) 国際出願日: 2004 年 12 月 2 日 (02.12.2004)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願 2003-426796
 2003 年 12 月 24 日 (24.12.2003) JP
 (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).

(72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 福田 恵子 (FUKUDA, Keiko) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 平木 充 (HIRAKI, Mitsuru) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 堀口 真志 (HORIGUCHI, Masashi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 秋葉 武定 (AKIBA, Takesada) [JP/JP]; 〒0668511 北海道千歳市泉沢 1007 番地 39 株式会社ルネサス北日本セミコンダクタ内 Hokkaido (JP). 市来 周蔵 (ICHIKI, Shuzo) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 角田 英樹 (TSUNODA, Hideki) [JP/JP]; 〒1006334 東京都千代田

[続葉有]

(54) Title: VOLTAGE GENERATING CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 電圧発生回路と半導体集積回路装置



A バンドギャップ発生部

A... BAND GAP GENERATING PART

(57) **Abstract:** A first current flows through the emitter of a first transistor, while a second current, which exhibits a larger current density than the first current, flows through the emitter of a second transistor. The base-to-emitter voltage difference between the first and second transistors is applied across a first resistor, thereby providing a constant current. A second resistor is disposed at the ground potential side of the circuit and connected in series with the first resistor. Third and fourth resistors are disposed between the respective collectors of the first and second transistors and the power supply voltage. The collector voltages of the first and second transistors are applied to a CMOS differential amplifier circuit, thereby providing an output voltage. This output voltage is applied commonly to the bases of the first and second transistors.

(57) 要約: 第 1 電流がエミッタに流れるようにされた第 1 トランジスタと、上記第 1 トランジスタよりも大きな電流密度となるような第 2 電流がエミッタに流れるようにされた第 2 トランジスタとのベース、エミッタ間の電圧差を第 1 抵抗に流して定電流を形成し、それと直列にして第 2 抵抗を回路の接地電位側に設け、上記第 1 トランジスタと第 2 トランジスタのコレクタと電源電圧との間に第 3 抵抗

[続葉有]



WO 2005/062150 A1



区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
ロジ内 Tokyo (JP). 北川 明弘 (KITAGAWA, Akihiro)
[JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番
1 号 株式会社ルネサステクノロジ内 Tokyo (JP).

(74) 代理人: 徳若 光政 (TOKUWAKA, Kousei); 〒1810001
東京都三鷹市井の頭 5 丁目 1 6 番 8 号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

と第 4 抵抗とを設け、上記第 1 と第 2 トランジスタの両コレクタ電圧と CMOS 構成の差動増幅回路に供給して、
出力出力電圧を形成するとともに、かかる出力電圧を上記第 1 トランジスタと第 2 トランジスタのベースに共通に
供給する。

明 細 書

電圧発生回路と半導体集積回路装置

技術分野

- [0001] この発明は、電圧発生回路と半導体集積回路装置に関し、特にシリコンバンドギャップを利用した基準電圧発生回路及びそれを内蔵する半導体集積回路装置に適用して有効な技術に関するものである。

背景技術

- [0002] PNPバイポーラトランジスタのバンドギャップを元にした基準電圧発生部を持つ基準電圧発生回路の例として、Journal of solid-state circuit, vol. SC-8, No. 6, 1973, pp. 222-226.に記載されている。また、NPNバイポーラトランジスタのバンドギャップを元にした基準電圧発生部を持つ基準電圧発生回路の例として、米国特許公報第3887863号、Journal of solid-state circuit, vol. SC-9, No. 12, 1974, pp. 388-393.に記載されている。

非特許文献1: Journal of solid-state circuit, vol. SC-8, No. 6, 1973, pp. 222-226.

非特許文献2: Journal of solid-state circuit, vol. SC-9, No. 12, 1974, pp. 388-393.

特許文献1: 米国特許公報第3887863号公報

発明の開示

- [0003] 上記非特許文献1の回路においては、増幅、帰還を行うオペアンプのオフセットばらつきの影響が大きく、これを補正するトリミング回路が必要となって、特に半導体集積回路装置に搭載する場合に使い勝手の悪いものとなる。また、非特許文献2の回路においては、使用するトランジスタがバイポーラトランジスタのプロセスが形成されるものであり、しかも正及び負の2電源で動作するものであり、CMOSプロセスで形成される半導体集積回路装置に搭載する場合には不向きなものとなる。
- [0004] したがって、この発明の目的は、CMOSプロセスに好適な電圧発生回路及びそれを搭載した半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

[0005] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、第1電流がエミッタに流れるようにされた第1トランジスタと、上記第1トランジスタよりも大きな電流密度となるような第2電流がエミッタに流れるようにされた第2トランジスタとのベース、エミッタ間の電圧差を第1抵抗に流して定電流を形成し、それと直列にして第2抵抗を回路の接地電位側に設け、上記第1トランジスタと第2トランジスタのコレクタと電源電圧との間に第3抵抗と第4抵抗とを設け、上記第1と第2トランジスタの両コレクタ電圧とCMOS構成の差動増幅回路に供給して、出力出力電圧を形成するとともに、かかる出力電圧を上記第1トランジスタと第2トランジスタのベースに共通に供給する。

図面の簡単な説明

[0006] [図1]この発明に係る基準電圧発生回路の一実施例を示す回路図である。

[図2]この発明に係る基準電圧発生回路のオフセット入力とオフセット出力との関係を説明するための特性図である。

[図3]この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路を構成するnチャネルMOSFET及びpチャネルMOSFETの一実施例を示すレイアウトとその素子構造の説明図である。

[図4]この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路を構成するnチャネルMOSFET及びpチャネルMOSFETの他の一実施例を示すレイアウトとその素子構造の説明図である。

[図5]この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路を構成するnチャネルMOSFET及びpチャネルMOSFETの更に他の一実施例を示すレイアウトとその素子構造の説明図である。

[図6]この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタの他の一実施例を示すレイアウト図である。

[図7]この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタの更に他の一実施例を示すレイアウト図である。

[図8]この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の一実施例を示すレイアウト図である。

[図9]この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の他の一実施例を示すレイアウト図である。

[図10]この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の他の一実施例を示すレイアウト図である。

[図11]この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の更に他の一実施例を示すレイアウト図である。

[図12]この発明に係る基準電圧発生回路に用いられるCMOS差動増幅回路の一実施例を示す回路図である。

[図13]この発明に係る基準電圧発生回路に用いられるCMOS差動増幅回路の他の一実施例を示す回路図である。

[図14]この発明に係る基準電圧発生回路の一実施例を示す回路図である。

[図15]この発明に係る基準電圧発生回路の一実施例を示す回路図である。

[図16]この発明に係る基準電圧発生回路を用いた電源回路の一実施例を示す回路図である。

[図17]この発明に係る基準電圧発生回路の更に一実施例を示す回路図である。

[図18]この発明に係る半導体集積回路装置の一実施例を示す全体ブロック図である。

[図19]この発明に係る半導体集積回路装置の他の一実施例を示す全体ブロック図である。

[図20]この発明に係る基準電圧発生回路の応用例を説明するためのブロック図である。

[図21]この発明に係る基準電圧発生回路の他の応用例を説明するためのブロック図である。

[図22]この発明に係る半導体集積回路装置に設けられる抵抗素子の一実施例を示す素子構造図である。

[図23]この発明に係る半導体集積回路装置に設けられる容量素子の一実施例を示す素子構造図である。

[図24]従来の基準電圧発生回路の一例を示す回路図である。

発明を実施するための最良の形態

- [0007] この発明をより詳細に説述するために、添付の図面に従ってこれを説明する。
- [0008] 図1には、この発明に係る基準電圧発生回路の一実施例の回路図が示されている。同図の各回路素子は、公知のCMOS集積回路の製造技術によって、図示しない他の回路素子とともに単結晶シリコンのような1個の半導体基板上において形成される。
- [0009] この実施例の基準電圧発生回路は、バンドギャップ発生部と、増幅・帰還部とから構成される。バンドギャップ発生部は、一対のnpn型のバイポーラトランジスタQ1、Q2と、抵抗R1〜R4から構成される。上記トランジスタQ1とQ2は、トランジスタQ2のサイズがトランジスタQ1のn倍に大きく形成される。つまり、この実施例では、上記トランジスタQ2のサイズを大きく形成することにより、トランジスタQ2とQ1に同じ電流を流すようにしたとき、トランジスタQ1のエミッタ電流密度がトランジスタQ2のエミッタ電流密度のn倍となるように設定される。
- [0010] 上記トランジスタのエミッタ電流密度差に対応して、トランジスタQ1とQ2のベース、エミッタ間電圧 V_{be1} と V_{be2} とは、シリコンバンドギャップに対応した定電圧 ΔV_{be} だけトランジスタQ1のベース、エミッタ間電圧 V_{be1} が大きく形成される。トランジスタQ1とQ2のベースを共通にして、トランジスタQ2のエミッタに抵抗R3の一端を接続し、抵抗R3の他端を上記トランジスタQ1のエミッタに接続することにより、上記定電圧 ΔV_{be} が抵抗R3の両端に印加されて、ここで i_{e2} のような定電流が形成される。上記トランジスタQ1のエミッタと回路の接地電位VSSとの間に抵抗R4が設けられて、トランジスタQ1、Q2のベースから基準電圧 V_{ref} を形成する。
- [0011] 特に制限されないが、上記トランジスタQ1とQ2のコレクタと電源電圧VCCとの間には、同じ抵抗値を持つようにされた抵抗R1とR2が設けられる。そして、トランジスタQ1とQ2のコレクタ電圧は、CMOS構成の差動増幅回路AMPの正相入力(+)と逆相入力(-)に供給され、ここで増幅・帰還を行う。つまり、上記差動増幅回路AMPの出力信号は、基準電圧 V_{ref} として出力されるとともに、上記トランジスタQ1とQ2のベースに帰還される。
- [0012] 上記バンドギャップ回路の動作は、次の通りである。バイポーラトランジスタのベース

ーエミッタ間電圧 V_{be} は、温度に対して負の電圧係数をもつ特性を持っている。これを温度に対して正の電圧係数をもつベース、エミッタ間電圧 V_{be1} と V_{be2} の電圧差 ΔV により補正すれば、温度に依存しない基準電圧 V_{ref} を得ることができる。上記図1のトランジスタ $Q1$ と $Q2$ は、前記のようにサイズの異なる(n 倍の面積or個数)のバイポーラトランジスタである。トランジスタ $Q1$ と $Q2$ のベースに共通電位を与え、トランジスタ $Q1$ 、 $Q2$ のコレクタ電位が等しくなるようにCMOS差動増幅回路AMPを用いてフィードバックをかけることにより基準電圧 V_{ref} が得られる。

- [0013] 基準電圧発生回路に用いられるCMOS差動増幅回路では入力部のMOSトランジスタのしきい値電圧 V_{th} ばらつきにより出力にオフセット電圧が生じる。例えば、前記非特許文献1に示されているようなPNPバイポーラトランジスタをダイオード接続して用いる図24に示したような基準電圧発生回路では、増幅回路AMPのオフセット電圧 V_{off} の影響が大きく、高精度の基準電圧 V_{ref} を得るためにトリミングを行っている。

- [0014] この実施例の基準電圧発生回路により発生する基準電圧 V_{ref} は次の式(1)ように求められる。

$V_{ref} = V_{be1} + i_e \cdot R_4 \cdots \cdots (1)$ ここで、上記エミッタ電流 i_e はトランジスタ $Q1$ 、 $Q2$ のベース、エミッタ間電圧 V_{be1} と V_{be2} の電圧差 ΔV から次の式(2)のように与えられる。

$i_e = \Delta V_{be} / R_3 = kT / q \cdot \ln(n) / R_3 \cdots \cdots (2)$ 上記式(2)を式(1)に代入して次式(3)が求められる。

$$\begin{aligned} V_{ref} &= V_{be1} + (i_{e1} + i_{e2}) \cdot R_4 \\ &= V_{be2} + 2kT / q \cdot R_4 / R_3 \cdot \ln(n) \cdots \cdots (3) \end{aligned}$$

- [0015] 式(1)の第1項の負の電圧係数を打ち消すように抵抗 R_4 の抵抗値を設定すれば、温度に依存しない基準電圧を得ることができる。なお、式(2)より、高精度の ΔV_{be} を得るにはエミッタ電流の誤差が小さいことが重要である。式(3)よりベース、エミッタ間電圧 V_{be2} の負の電圧係数を打ち消すように R_3 、 R_4 を選択することにより温度依存性の低い基準電圧を得ることができる。

- [0016] この実施例において、CMOS差動増幅回路AMPのオフセット電圧が存在する場合、オフセット電圧の発生個所はバイポーラトランジスタ $Q1$ と $Q2$ のコレクタ端子(エミッ

タ接地のバイポーラトランジスタアンプQ1、Q2の出力に相当)でエミッタ電流 i_{e1} と i_{e2} への影響は小さい。このようにCMOS構成の差動増幅回路AMPで発生するオフセット電圧の基準電圧 V_{ref} への影響は(1/バンドギャップ発生部の利得)と小さくすることができる。

- [0017] これに対して、図24に示したようにpnpバイポーラトランジスタを用いた基準電圧発生回路では、基準電圧 V_{ref} は次式(4)のようになる。

$$V_{ref} = V_{be2} + i_{e2} \cdot (R_3 + R_2)$$

$= V_{be2} + kT/q \cdot (1 + R_2/R_3) \cdot \ln(n) \cdots \cdots (4)$ ここで、 V_{be2} の負の電圧係数を打ち消すように抵抗 R_3 、 R_2 の抵抗値を選択することにより温度依存性の低い基準電圧を得ることができる。しかし、増幅回路AMPにオフセット電圧 V_{off} が存在する場合、基準電圧 V_{ref} は次式(5)のようになる。

$$V_{ref} = V_{be2} + (kT/q \ln(n) + V_{off}) \cdot (1 + R_2/R_3) \cdots \cdots (5)$$

上記式(5)より、 R_2/R_3 比で決まる利得でオフセット電圧 V_{off} が増幅されてしまう。その結果、オフセット電圧の影響で、フィードバック動作によりエミッタ電流値が誤って補正されてしまい、補正電圧に誤差(オフセット電圧)が生じる。

- [0018] 図1の基準電圧発生回路と図24の基準電圧発生回路の比較をすれば、図24の基準電圧発生回路では、図1の基準電圧発生回路のようにCMOS差動増幅回路AMPを用いた場合には、そこで発生するオフセット電圧の影響が約12倍にも増幅されるのに対して本発明では約0.7倍に低減出来る。従って、図1の実施例回路においては、素子のプロセスばらつきに対応して比較的大きなオフセット電圧 V_{off} を持つCMOS構成の差動増幅回路AMPを用いつつ、そのオフセット電圧の影響を軽減しつつ高精度の温度依存性の小さい基準電圧 V_{ref} を発生することができる。

- [0019] 図2には、オフセット入力とオフセット出力との関係を説明するための特性図が示されている。本願発明に係る基準電圧発生回路における特性(本発明)では、オフセット入力 -50mV から $+50\text{mV}$ の範囲でにおいて、オフセット出力はオフセット入力とほぼ一定に保たれている。これに対して、比較のために示されて前記図24の基準電圧発生回路においては、同じオフセット入力に対して、オフセット出力は -600mV から $+600\text{mV}$ のように増大しており、かかるオフセット補正のためのトリコミング等を必要

とするものである。

- [0020] 図3には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路AMPを構成するnチャネルMOSFET及びpチャネルMOSFETの一実施例のレイアウトとその素子構造の説明図が示されている。同図には、上記2つのMOSFETと、1つのトランジスタを代表として例示的に示している。このトランジスタは、上記トランジスタQ1又はトランジスタQ2を構成する一部の単位トランジスタを示している。
- [0021] このnpn型バイポーラトランジスタは、特に制限されないが、横型(ラテラル)構造とされる。p型半導体基板(p-sub)上には、n型のディープウェルdwelが形成され、かかるディープウェルdwel上にp型ウェルpwelが形成される。かかるp型ウェルpwelには中央部にn+型のエミッタE(n+)が形成され、その周囲を取り囲むようにp+型のベースB(p+)が形成される。かかるベースB(p+)を更に取り囲むようにn+型のコレクタC(n+)が形成される。上記p型ウェルpwelは、上記エミッタEとコレクタCとの間に介在して実質的なベース領域として作用する。かかる半導体領域n+とp+の間には、絶縁層SIGが設けられて分離されている。
- [0022] 特に制限されないが、上記p型ウェルpwelの周囲には、n型ウェルが取り囲むように形成され、それが上記ディープウェルdwelと接合されて、かかるnウェルに設けられたn+領域を介して電源電圧VCCのようなバイアス電圧が与えられる。これにより、上記npn型バイポーラトランジスタを構成する各半導体領域がp型半導体基板(p-sub)から電氣的に分離される。
- [0023] CMOS回路を構成するnチャネルMOSFET(nMOS)は、上記半導体基板p-sub上に形成されたp型ウェル領域pwelに形成されたn+領域をソース、ドレイン領域とし、かかるソース、ドレインに挟まれるようにゲート絶縁膜を介してゲート電極G(nMOS)が形成される。上記p型ウェルpwelは、p+領域から回路の接地電位VSSがバイアス電圧として与えられる。pチャネルMOSFET(pMOS)は、上記半導体基板p-sub上に形成されたn型ウェル領域nwelに形成されたp+領域をソース、ドレイン領域とし、かかるソース、ドレインに挟まれるようにゲート絶縁膜を介してゲート電極G(pMOS)が形成される。上記n型ウェルnwelは、n+領域から電源電圧VCCがバイアス電圧

として与えられる。上記半導体基板p-subには、p型ウェル領域pwelとp+領域を介して回路の接地電位VSSのようなバイアス電圧が与えられる。

- [0024] 上記CMOS回路構成するnチャネルMOSFETを形成するためのp型ウェル領域pwel及びソース、ドレイン領域を構成するn+領域と、上記npnバイポーラトランジスタを形成するためのp型ウェル領域pwel及びエミッタ、コレクタを構成するn+領域とは同じプロセスにより形成される。また、CMOS回路を構成するpチャネルMOSFETのソース、ドレイン領域を構成するp+領域と、上記npnバイポーラトランジスタを形成するためのベースを構成するp+領域とは同じプロセスにより形成される。
- [0025] この実施例のバンドギャップ発生部のトランジスタQ1(Q2)は、CMOSプロセスで形成されるデバイスである。このようにトランジスタQ1、Q2をCMOSプロセスで形成することにより、基準電圧発生回路をバイポーラプロセスを用いずに、同じ半導体基板上に形成される他のマイクロコンピュータ等のようなデジタルCMOS回路と同じCMOSプロセスで形成することができる。バイポーラ部とCMOS部の周囲あるいは間に上記のようなディープウェルdwel、n型ウェルnwel及びn+領域からなるガードバンドあるいはガードリングを配置することで、半導体基板p-subの基板電位VSSを安定化し、雑音の伝播を抑えることができる。このようにnpnバイポーラトランジスタをディープウェルdwel内に形成することにより、基板p-subを介して他の回路モジュールから伝播する雑音の影響を抑えられる。
- [0026] 図4には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路AMPを構成するnチャネルMOSFET及びpチャネルMOSFETの他の一実施例のレイアウトとその素子構造の説明図が示されている。この実施例のnpn型バイポーラトランジスタは、コレクタをn型のディープウェルdwelを用いて縦型(バーチカル)構造に形成する。前記図3の実施例と同様にエミッタE(n+)を中心としてその周囲にベースB(p+)を形成し、その周囲に囲む形でコレクタC(n+)取り出し用のn型ウェルnwel及びn+領域を配置する。この構造では、エミッタ(n+領域)―ベース(p型ウェルpwel)―コレクタ(n型ディープウェルdwel)を縦構造にするものである。
- [0027] この実施例の縦型のnpnバイポーラトランジスタは、図3の横型のバイポーラランジ

スタに比べてバイポーラトランジスタの電流増幅率 h_{fe} が高くバイポーラ部の利得が高くなるため、前記図1の実施例で説明したように増幅回路のオフセット電圧の影響を抑えて高精度の基準電圧を発生する効果がより高くなる。また、この実施例では、CMOS回路にもn型ディープウェル $dwel$ が設けられており、p型ウェル $pwel$ 部がn型ウェル $nwel$ に囲まれて、半導体基板 $p-sub$ と電氣的に分離されている。これにより、半導体基板 $p-sub$ に与えられるバイアス電圧 V_{SS} によらず、nチャネルMOSFETが形成されるp型ウェル $pwel$ の電位を自由に設定できる。このため、p型ウェル $pwel$ に与えられるバイアス V_{BB} を負の電圧に引いたようなデジタル回路への対応も可能となる。

- [0028] 図5には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路AMPを構成するnチャネルMOSFET及びpチャネルMOSFETの更に他の一実施例のレイアウトとその素子構造の説明図が示されている。この実施例では、n型の半導体基板 $n-sub$ が用いられる。このようにn型の半導体基板 $n-sub$ を用いた場合には、図3の実施例とは異なり、CMOSの2重ウェル構造でnpnバイポーラトランジスタを構成する。つまり、ベースB($p+$)、エミッタE($n+$)、コレクタC($n+$)をp型ウェル $pwel$ に形成する。前記図3の実施例と同様にエミッタEを中心としてその周囲にベースB、コレクタCを囲む形で配置する。この構成は、図3の実施例のようなディープウェル $dwel$ を形成しない構造(p型ウェル $pwel$ 内にnMOS、n型ウェル内にpMOSを形成)で横型のnpn型バイポーラトランジスタを形成することができる。
- [0029] この実施例のようにn型半導体基板 $n-sub$ を用いた場合においては、基板とコレクタとの分離のためのディープウェル $dwel$ が不要となり、CMOSの2重ウェル構造で形成できる。プロセス工程を削減することができる。
- [0030] この実施例の基準電圧発生回路では、CMOS差動増幅回路のオフセットの影響を受けにくい高精度の基準電圧を得ることができる。オフセットの影響を小さくするためのトリミングを不要にすることができ、例えばエアバック用マイコンなどのトリミングが困難なROMレス製品の電源回路のために、トリミング回路を必要としない高精度の基準電圧発生回路として有益なものとすることができる。
- [0031] 図6には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジ

スタの他の一実施例のレイアウト図が示されている。特に制限されないが、前記図4の実施例と同様にコレクタC(n+)をn型のディープウェルdwelを用いて縦方向(縦型構造)に形成する。エミッタE(n+)をベースB(p+)でコの字形に囲み、その周囲を上記コレクタC(n+)で囲むようにするものである。このレイアウト構成は、前記図3の横型(ラテラル)トランジスタにも適用できる。

[0032] 図7には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタの更に他の一実施例のレイアウト図が示されている。この実施例では、前記図3の実施例と同様に、ベースB(p+)、エミッタE(n+)、コレクタC(n+)をp型ウェルp wel内に形成し、電源電圧VCCで分離されたn型のディープウェルdwelで囲むようにする。そして、コレクタC(n+)、ベースB(p+)、エミッタE(n+)を並列に配置する横型構造とされる。前記図3、図4のCMOSの縦構造と前記図3-図7のバイポーラトランジスタのレイアウトは任意に組み合わせて実現できる。

[0033] この実施例の基準電圧発生回路において、バンドギャップ発生部ではトランジスタQ1とトランジスタQ2のサイズ比が1対nになるように構成される。トランジスタQ1とQ2は別々のn型ディープウェルdwel上に形成される。

[0034] 図8には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の一実施例のレイアウト図が示されている。この実施例では、特に制限されないが、コレクタをn型ディープウェルdwelを用いて縦方向に形成した場合が例として示されている。この実施例では、トランジスタQ1、Q2の周囲をn型ディープウェルdwelで囲むようにする。サイズの小さなトランジスタQ1のディープウェルdwelは、そのサイズに対応した小さく形成される。これに対して、サイズの大きなトランジスタQ2のn型ディープウェルdwelは、上記トランジスタQ1の8個分に対応した大きな大きさとされる。この構成では、トランジスタQ1とQ2のサイズ比が1:8のように設定される。

[0035] 図9には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の他の一実施例のレイアウト図が示されている。この実施例では、図8の実施例と異なり2つのトランジスタQ1とQ2のコレクタを構成するn型ディープウェルdwelのサイズを等しく形成する。このようにコレクタを構成するn型ディープウェルdwelのサイズを同じく形成することにより、容量結合で基板から伝播する雑音の影響を等

しくして、同相雑音としてキャンセルできるようにする。

- [0036] 図10には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の他の一実施例のレイアウト図が示されている。この実施例では、トランジスタQ1とQ2とは、上記図9の実施例のようにn型ディープウェルdwelのサイズを等しく形成することに加えて、サイズの小さなトランジスタQ1が形成されるディープウェルdwelには、ダミーのトランジスタを含めて8個のトランジスタを配置し、トランジスタQ2と同じ構成とする。そして、8個のトランジスタのうち1つに配線を行うことにより、上記 $Q1/Q2=1/8$ のようにサイズ比とするものである。このように同じパターンとすることにより、加工寸法ばらつきの影響を低減することができる。
- [0037] 図11には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の更に他の一実施例のレイアウト図が示されている。この実施例では、ベースB、エミッタE及びコレクタCを同一のp型ウェルpwel上に形成した前記図7に示したような横型構造のトランジスタが用いられる。前記図7のトランジスタと同様にトランジスタQ1あるいはQ2が形成されるn型ディープウェルdwelの周囲には、かかるn型ディープウェルdwelを安定化するための電源供給用のn+領域及びn型ウェルnwel(図示せず)が設けられる。この実施例では、 $Q1/Q2=1/9$ のようなサイズ比とされ、トランジスタQ1は、1個のトランジスタと8個のダミートランジスタから構成される。そして、この実施例のようにトランジスタQ2が9個のようにべき乗の場合には、トランジスタQ1を同一個数配置されたトランジスタの中心部をとすれば、さらに寸法ばらつきの影響を低減できる。
- [0038] 前記図8ないし図11に示したいずれの形状もバイポーラトランジスタのコレクタをn型ディープウェルを用いて縦方向に形成したバーチカル構造とする場合にも、同一のウェル上に形成したラテラル構造とする場合のいずれにも適用できる。
- [0039] 図12には、この発明に係る基準電圧発生回路に用いられるCMOS差動増幅回路の一実施例の回路図が示されている。差動増幅回路は、初段部と出力段部から構成される。初段部は、nチャネル型の差動MOSFETM1とM2と、そのソースと回路の接地電位VSSとの間に設けられて電流源i1と、上記MOSFETM1とM2のドレインと電源電圧VCCとの間に設けられてアクティブ負荷回路を構成するpチャネル型のカ

ラレントミラーMOSFETM4とM5から構成される。出力段部は、上記初段の出力信号をゲートに受け、ソースに電源電圧VCCが供給されたpチャネル型増幅MOSFETM3と、ドレインと回路の接地電位VSSとの間に設けられた電流源i3を負荷手段とする反転増幅回路から構成される。MOSFETM3のゲートとドレインとの間には、位相補償回路としてのキャパシタCfと抵抗Rfが設けられる。

- [0040] 差動MOSFETM1とM2は、前記図3等に応示したようなnチャネル型MOSFETが用いられる。図3のnチャネル型MOSFETが形成されるp型ウェルpwellには、回路の接地電位VSSがバイアス電圧として与えられている。これに対して、図4の実施例に応示したようなnチャネル型MOSFETを用いた場合には、p型ウェルpwellが基板p-subから分離されているので、ソースとチャネル領域(p型ウェルpwell)とを接続して形態で用いることができる。この構成では、MOSFETM1とM2において、ソース電位とチャネル領域の電位が同電位となり、基板効果の影響を受けなくすることができる。
- [0041] 図13には、この発明に係る基準電圧発生回路に用いられるCMOS差動増幅回路の他の一実施例の回路図が示されている。この実施例では、電流源も合わせて示されている。電源回路を用途として基準電圧発生回路を構成する場合、消費電力を下げることが必要である。このとき、アンプの利得が必要以上に高くなり、位相補償が困難になる。この実施例は、消費電力の低減を目的とした回路構成であり、増幅回路は前記図12と同様にnチャネルMOSFETM1とM2による差動入力の前段増幅部、pチャネル増幅MOSFETM3を用いたソース接地の反転増幅回路からなる出力段、及びこれらを駆動する電流源で構成される。
- [0042] 電流源は微小電流を安定に供給するためにnチャネルMOSFETM12とM13ゲート、ソース間電圧差を抵抗Rrefで参照して一定電流Irefを発生するワイドラ形電流源が用いられる。これをnチャネルMOSFETM14、M15で電流ミラー形態として前段と出力段のバイアス電流i1、i3を決める。電流i1の電流値を小さく設定する場合、前段のアンプの利得が高くなり位相補償が難しくなるのを防ぐために、利得を決める要因となるカレントミラー部分のMOSFETM4、M5のそれぞれに対して一定電流i2を流す電流源MOSFETM6とM7を並列接続して構成する。上記一定電流Irefは、nチャネル型のMOSFETM13、M11及びダイオード接続のpチャネルMOSFETM

9に流れ、このMOSFETM9とMOSFETM8、上記MOSFETM6、M7が電流ミラー形態にされることにより、上記定電流 i_3 を形成することができる。これにより、位相補償が容易になる。つまり、従来用いられるミラー補償の他に、設計が容易なポールゼロ補償(R_f と C_f を出力段に直列に接続)が可能となる。

[0043] 図14には、この発明に係る基準電圧発生回路の一実施例の回路図が示されている。この実施例では、前記図1の実施例回路に起動回路が付加される。基準電圧発生回路は、電源電圧投入等の起動時に出力電圧 V_{ref} が0Vで安定してしまう場合がある。この対策として、起動回路が設けられて、強制的に電流を流し込むことにより起動をかける。起動回路により電源投入及びスリープ解除時に誤りなく基準電圧を発生できる。動作時に外乱などがあつた場合にもすぐに復帰して基準電圧が安定に発生できる。

[0044] この実施例の起動回路は、トランジスタQ2(あるいはQ1)のコレクタ端子nc2(あるいはnc1)に電流源 i_4 を引き出し、コレクタ端子nc2の電位を電源VCCから下げることによりアンプAMPの出力電圧を立ち上げてトランジスタQ1、Q2を動作状態にして基準電圧発生回路を駆動する。スイッチSWは、電源投入時又はスリープ解除時に発生されて、上記電流 i_4 を抵抗R2(又はR1)に流すようにするものである。

[0045] 図15には、この発明に係る基準電圧発生回路の一実施例の回路図が示されている。同図には、前記図15のスタートアップ(起動回路)の具体的回路が示されている。電圧比較回路CMPの反転入力(−)には、参照電圧VRが供給される。この参照電圧VRは、ダイオード接続のトランジスタのベース、エミッタ間電圧を抵抗R7とR8の接続点nr1から得られる比較的低い分圧電圧とされる。上記トランジスタと抵抗R7、R8には、前記図13で形成したような微小電流 i_{ref} に対応した電流 i_5 が流れるようにされる。電圧比較回路CMPの非反転入力(+)には、トランジスタQ1のエミッタ端子ne1の電圧が印加される。電圧比較回路CMPの出力信号は、スイッチSWの制御信号を形成し、その出力信号がロウレベルときにスイッチSWをオン状態にし、出力信号がハイレベルのときにスイッチSWをオフ状態にする。

[0046] 基準電圧発生回路のバイポーラ部分に電流が流れない場合、トランジスタQ1のエミッタ端子ne1の電位0Vになる。そこで、上記参照電圧VRとトランジスタQ1のエミッタ

端子ne1の電圧とを比較してne1の電位がnr1 (VR) に比べて低い場合に電流が流れていないと判断し、電流が流れていないことを検出する。このときには、電圧比較回路CMPの出力信号がロウレベルとなり、上記スイッチSWをオン状態にして起動をかける。トランジスタQ1、Q2が動作状態になると、エミッタ端子ne1の電位がnr1 (VR) に比べて高くなり、電流が流れているのを検出する。これにより、電圧比較回路CMPの出力信号がハイレベルに変化し、上記スイッチSWがオフ状態にされる。上記のように、参照電圧VRはダイオードを並列に接続してその順方向電圧を用いるものであるので、i5が変動した場合にもnr2の電位VRが一定に保たれ、安定に参照電圧を発生することができる。

[0047] 図16には、この発明に係る基準電圧発生回路を用いた電源回路の一実施例の回路図が示されている。この発明に係る前記図1のような基準電圧発生回路にて発生した基準電圧Vref は、一方においてアンプA1と負帰還抵抗抵抗R5, R6からなるバッファ回路にて所望の電源電圧vo1にレベル変換され、ボルティージフォホロワ回路A3, A4からなるレギュレータ回路を経て、内部回路に供給される内部電圧VO1, VO1として出力される。上記基準電圧Vref は、他方においてアンプA2と負帰還抵抗抵抗R5', R6'からなるバッファ回路にて、上記電圧vo1とは異なる所望の電源電圧vo2にレベル変換され、ボルティージフォホロワ回路A5, A6からなるレギュレータ回路を経て、他の内部回路に供給される内部電圧VO2, VO2として出力される。

[0048] この実施例では、レギュレータ回路を複数の機能ブロック毎に対応して複数個を設け、個々の回路モジュール(機能ブロック)の近傍に分散して配置することにより、レギュレータ回路と回路モジュールとの間の配線抵抗値を小さくでき、回路モジュールに流れる比較的大きな負荷電流があっても電源電圧レベルの低下を防ぐことができる。

[0049] 図17には、この発明に係る基準電圧発生回路の更に一実施例の回路図が示されている。この実施例では、トランジスタQ1とQ2にpチャネル型MOSFETM21とM22からなるカレントミラー回路が設けられる。かかるカレントミラー回路により、トランジスタQ2とQ1には同じ電流が流れるようにされ、トランジスタQ1とQ2のサイズ比に逆比例したエミッタ電流密度を設定することができる。

[0050] さらに、これをMOSFETM23にてミラーして基準電圧Vrefを得る。ここで負の温度

係数を持つトランジスタQ3はエミッタに設けられた抵抗R7の正の温度係数を補正して温度に依存しない基準電圧Vrefを得るために接続される。キャパシタCfと抵抗Rfは位相補償の容量と抵抗である。その結果、前記図1の実施例と同様に基準電圧Vrefを発生することができる。また、MOSFET24のドレインから得られる電流Irefは定電流出力であり、例えば抵抗Rrefを接続することにより任意の電圧値が得られる。前記図1等のような差動増幅回路を用いる実施例に比べて回路を簡略とすることができる。

- [0051] 図18には、この発明に係る半導体集積回路装置の一実施例の全体ブロック図が示されている。この実施例は、特に制限されないが、電源回路を内蔵したシステムLSIに向けられている。この実施例の電源回路は基準電圧発生回路、参照電圧用バッファ回路、シリアルレギュレータ(主電源:メインレギュレータ及びスタンバイ用電源:サブレギュレータ)、電源制御部により構成される。これらの電源回路は、外部端子Vextから供給された電源電圧を受けて動作し、それを降圧した内部電圧Vintを形成して、システムLSIを構成するCPU(中央処理装置)、レジスタ、不揮発性記憶素子、その他周辺回路の動作電圧を形成する。
- [0052] 電源制御部は、制御信号cnt1-cnt4によりバッファ回路のレベル変換や各ブロックの活性化の指定などを行う。上記半導体集積回路装置には、入出力回路が設けられる。入出力回路は、上記外部端子Vextから供給された電源電圧を受けて動作し、外部端子から供給された外部信号を上記内部回路のレベルに適合するようレベルシフトする入力回路と、上記内部回路で形成され、外部端子から出力すべき信号レベルに変換する出力回路とから構成される。
- [0053] 上記のように入出力回路及び電源回路は外部端子Vextにより供給される電源電圧によって動作させられる。この入出力回路は、電源回路及びCPU等の制御信号の入出力を行う。内部電圧Vintは電源回路により出力される内部電源電圧であり、これがCPU、レジスタ、不揮発性記憶素子、その他周辺回路に供給される。この実施例においては、基準電圧発生回路の基準電圧Vrefを元に内部電源電圧Vintを決定することにより、外部電源電圧Vextの変動や温度変化などの外的要因によらず、一定の内部電源電圧Vintを供給できる。

- [0054] 図19には、この発明に係る半導体集積回路装置の他の一実施例の全体ブロック図が示されている。この実施例は、特に制限されないが、電源回路を内蔵したLCDドライバ回路に向けられている。この実施例のLCDドライバ回路は、基準電圧発生回路、昇圧回路、表示データを記憶するRAM(ランダム・アクセス・メモリ)、ソースドライバ、ゲートドライバ、VCOMドライバと基準電圧発生回路の出力電圧を基に各ドライバを駆動するための電圧を発生する回路(RAM用降圧回路、ソース電圧発生回路、ゲート電圧発生回路、VCOM電圧発生回路)とドライバ制御回路により構成される。
- [0055] 上記ソース電圧発生回路は、LCD(液晶)パネルの画素に供給される表示データに対応した階調電圧 $VS_0 \sim VS_n$ を生成する。ゲート電圧発生回路は、画素を選択するためのゲート電圧の選択／非選択電圧 V_{GH} , V_{GL} を発生させる。VCOM電圧は、液晶パネルのコモン電極に与えられるコモン電圧 V_{COMH} , V_{COML} を発生させる。ソースドライバは、表示データに対応して階調電圧 $VS_0 \sim VS_n$ の中の1つの電圧 S_i を出力する。ゲートドライバは、走査動作に対応した選択信号を受けて、画素の選択／非選択信号 G_j を出力する。VCOMドライバは、液晶画素を交流駆動するために正電圧と負電圧のフィールドに対応して電圧VCOMを切り替える。
- [0056] この実施例LCDドライバ回路においては、基準電圧発生回路の基準電圧 V_{ref} を基に各ドライバ回路を駆動する電圧 V_{DL} , $VS_0 \sim VS_n$, V_{GH} , V_{GL} , V_{COMH} , V_{COML} 等を与えることにより、外部電源電圧 V_{ci} の変動や温度変化などの外的要因によらず、トリミングを行わずに安定に各ドライバを駆動して、LCDパネルに信号を供給することができる。
- [0057] 図20には、この発明に係る基準電圧発生回路の応用例を説明するためのブロック図が示されている。この実施例では、アナログ／デジタル変換器(ADC)への応用例に向けられている。この発明に係る基準電圧発生回路で形成された基準電圧 V_{ref} を基に、増幅回路A10と、出力MOSFETM10及び帰還抵抗R10, R11からなる電圧変換回路にて所望電圧に変換し、最大電圧 V_{RT} と最小電圧 V_{RB} を形成し、それを抵抗分割回路により分割して複数の参照電圧を形成し、アナログ入力 A_{IN} とレベル比較してデジタル出力 $D_0 \sim D_n$ を形成する。この実施例では、上記ADCを内蔵する半導体集積回路装置のチップ外部から基準電圧 V_{ref} を供給する必要がなくなる。

- [0058] 図21には、この発明に係る基準電圧発生回路の他の応用例を説明するためのブロック図が示されている。この実施例では、デジタル／アナログ変換器(DAC)への応用例に向けられている。この発明に係る基準電圧発生回路で形成された基準電圧 V_{ref} を基に、増幅回路A11と出力MOSFETM11及び帰還抵抗R12からなる電圧－電流変換回路にて所望の基準電流 $I_{ref} (=V_{ref} / R12)$ を形成し、かかる基準電流 I_{ref} を基に2進の重みを持つ電流を形成し、それをデジタル入力信号D0～Dnに対応して合成して、抵抗に流すことによりアナログ出力電圧AOUTを得ることができる。この実施例でも、上記DACを内蔵する半導体集積回路装置のチップ外部から基準電圧 V_{ref} を供給する必要がなくなる。
- [0059] 図22には、この発明に係る半導体集積回路装置に設けられる抵抗素子の一実施例の素子構造図が示されている。図22(A)の例は、p型ウェル内に形成されたn+拡散層を抵抗として用いるものである。図22(B)の例は、分離用絶縁層SIGの上に形成されたポリシリコン層p+polyを抵抗素子として用いる。図22(C)の例は、n型のディープウェルdwelに形成されたp型ウェルpwelを抵抗素子として用いるものである。このp型ウェルpwelは、上記ディープウェルdwelと、その周囲に設けられたn型ウェルnwel及びn+領域により基板p-subと電氣的に分離されている。上記(A)～(C)いずれの抵抗素子もCMOSの標準プロセス(2重ウェルあるいは3重ウェル構造)で構成できる。
- [0060] 上記図22(A)は、n+拡散間の抵抗値(あるいはnウェル内のp+拡散間の抵抗値)を利用するものであり、それが形成されるpウェルpwelはp+拡散で安定化するようなバイアスが与えられる。比較的小さな面積で高抵抗が得られ、抵抗の比精度も高く、2重ウェルあるいは3重ウェルのCMOS構造で形成できる。
- [0061] 図22(B)のポリシリコン抵抗は、p型ウェルpwel内の分離領域SGI上に形成されたp+ポリシリコンの端子間の抵抗値(あるいはn型ウェルnwel内のSIG上に形成されたn+ポリシリコンの端子間の抵抗値)を利用するものであり、比較的小さな面積で高抵抗が得られ、抵抗の比精度も高くでき、2重ウェルあるいは3重ウェルCMOS構造で形成できる。
- [0062] 上記図22(C)は、n型のディープウェルdwel上に形成されたp型ウェルpwelの端子

間(端子はp+拡散上に設ける)の抵抗値を利用するものであり、小さな面積で高抵抗が得られる。3重ウェルのCMOS構造で形成できる。

[0063] 図23には、この発明に係る半導体集積回路装置に設けられる容量素子の一実施例の素子構造図が示されている。図24(A)の例は、p型ウェルpwel内の絶縁層SIG上にポリシリコンの層間絶縁膜を挟んで2層設けて形成される。図24(B)の例は、MOS容量を利用するものであり、n型ウェルnwel内のpチャネルMOSFETのゲート(ポリシリコン)とソース、ドレイン間(ソースとドレインは短絡)の容量を用いるものである。n型ウェルnwelはウェル上のn+層を介して電源あるいはp-subより高い電位で安定化させられる。(n-sub上のpウェル内のnMOSでも同様にMOS容量を構成可能である。上記(A), (B)いずれの容量素子もCMOSの標準プロセス(2重ウェルあるいは3重ウェル構造)で構成できる。

[0064] 以上本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、トランジスタQ1とQ2には、同じ電流を流しておいて、面積比により電流密度差を設けるものの他、トランジスタQ1とQ2を同じサイズとし、エミッタ電流を一定の比率で流すようにしてもよい。また、面積比と電流比の組み合わせとしてもよい。この発明は、CMOSプロセスで形成される半導体集積回路装置に搭載される定電圧発生回路、あるいは基準電圧発生回路を内蔵し、CMOSプロセスで形成される半導体集積回路装置に広く利用することができる。

請求の範囲

- [1] エミッタに第1電流が流れるようにされた第1トランジスタと、
上記第1トランジスタのエミッタの電流密度よりも大きな電流密度となるような第2電流がエミッタに流れるようにされた第2トランジスタと、
上記第1トランジスタのエミッタと第2トランジスタのエミッタ間に設けられた第1抵抗と、

上記第2トランジスタのエミッタと回路の接地電位との間に設けられた第2抵抗と、
上記第1トランジスタのコレクタと電源電圧との間に設けられた第3抵抗と、
上記第2トランジスタのコレクタと上記電源電圧との間に設けられた第4抵抗と、
上記第1トランジスタのコレクタ電圧と上記第2トランジスタのコレクタ電圧とを受けて出力電圧を形成するとともに、かかる出力電圧を上記第1トランジスタと第2トランジスタのベースに共通に供給するCMOS構成の差動増幅回路とを備えてなることを特徴とする電圧発生回路。
- [2] 請求項1において、
上記第3抵抗と第4抵抗とは、同じ抵抗値を持つように形成されてなることを特徴とする電圧発生回路。
- [3] 請求項2において、上記第1トランジスタのエミッタ面積は、上記第2トランジスタのエミッタ面積よりも大きく形成されてなることを特徴とする電圧発生回路。
- [4] 請求項3において、
上記第1トランジスタと第2トランジスタとは、差動増幅回路を構成するCMOS回路のプロセスで形成される半導体領域を利用して構成されるものであることを特徴とする電圧発生回路。
- [5] エミッタに第1電流が流れるようにされた第1トランジスタと、
上記第1トランジスタのエミッタの電流密度よりも大きな電流密度となるような第2電流がエミッタに流れるようにされた第2トランジスタと、
上記第1トランジスタのエミッタと第2トランジスタのエミッタ間に設けられた第1抵抗と、

上記第2トランジスタのエミッタと外部端子から供給された回路の接地電位との間に

設けられた第2抵抗と、

上記第1トランジスタのコレクタと外部端子から供給された電源電圧との間に設けられた第3抵抗と、

上記第2トランジスタのコレクタと上記電源電圧との間に設けられた第4抵抗と、

上記第1トランジスタのコレクタ電圧と上記第2トランジスタのコレクタ電圧とを受けて出力電圧を形成するとともに、かかる出力電圧を上記第1トランジスタと第2トランジスタのベースに共通に供給するCMOS構成の差動増幅回路とを含む基準電圧発生回路を備えてなることを特徴とする半導体集積回路装置。

[6] 請求項5において、

上記半導体集積回路装置は、第1導電型の半導体基板に形成された第2導電型ウェル領域及び第1導電型ウェル領域と、上記第2導電型領域に形成された第1導電型MOSFETと、上記第1導電型ウェル領域に形成された第2導電型MOSFETとからなるCMOS回路を備え、

基準電圧発生回路を構成する上記第1トランジスタと第2トランジスタは、上記CMOS回路を構成する第2導電型MOSFETのソース、ドレイン拡散層を形成する工程で形成された拡散層をコレクタ及びエミッタとし、上記コレクタとエミッタとしての拡散層が形成される第1導電型ウェル領域をベースとして動作する横型構造のバイポーラトランジスタであることを特徴とする半導体集積回路装置。

[7] 請求項5において、

上記半導体集積回路装置は、第1導電型の半導体基板に形成された第2導電型ウェル領域及び第1導電型ウェル領域と、上記第2導電型ウェル領域に形成された第1導電型MOSFETと、上記第1導電型領域に形成された第2導電型MOSFETと、上記第2導電型MOSFETが形成された第1導電型ウェル領域を上記第1導電型の半導体基板から電氣的に分離するための深い深さの第2導電型ウェル領域とからなるCMOS回路を備え、

上記第1トランジスタと第2トランジスタは、上記CMOS回路を構成する第1導電型MOSFETのソース、ドレイン拡散層を形成する工程で形成された第2導電型拡散層をエミッタとし、上記エミッタを構成する第2導電型拡散層が形成された第1導電型ウェ

ル領域をベースとし、上記ベースを構成する第1導電型ウェル領域を上記第1導電型の半導体基板から電氣的に分離するために設けられた深い深さの第2導電型ウェル領域をコレクタとして用いる縦型構造のバイポーラトランジスタであることを特徴とする半導体集積回路装置。

[8] 請求項5において、

上記半導体集積回路装置は、第2導電型の半導体基板に形成された第2導電型ウェル領域及び第1導電型ウェル領域と、上記第2導電型領域に形成された第1導電型MOSFETと、上記第1導電型ウェル領域に形成された第2導電型MOSFETとからなるCMOS回路を備え、

基準電圧発生回路を構成する上記第1トランジスタと第2トランジスタは、上記CMOS回路を構成する第2導電型MOSFETのソース、ドレイン拡散層を形成する工程で形成された拡散層をコレクタ及びエミッタとし、上記コレクタとエミッタとしての拡散層が形成される第1導電型ウェル領域をベースとして動作する横型構造のバイポーラトランジスタであることを特徴とする半導体集積回路装置。

[9] 請求項6ないし8のいずれかにおいて、

上記第1導電型はp型であり、上記第2導電型はn型であり、

上記外部端子から供給された電源電圧は正の電源電圧であることを特徴とする半導体集積回路装置。

[10] 請求項9において、

上記第2トランジスタは、1つのトランジスタから構成され、上記第1トランジスタは、上記第2トランジスタに対応した単位トランジスタを複数個並列接続して構成されるものであることを特徴とする半導体集積回路装置。

[11] 請求項10において、

第1トランジスタは、複数個からなる上記単位トランジスタが同じ深い深さのウェル領域上に形成され、

上記第2トランジスタは、上記第1トランジスタと同じ構成に形成された複数個からなる単位トランジスタのうちの1つが用いられるものであることを特徴とする半導体集積回路装置。

[12] 請求項11において、

上記基準電圧発生回路で形成された基準電圧を受けて上記外部端子から供給された電源電圧とは異なる内部電圧を発生させる電源回路と、

上記電源回路により動作させられる内部回路と、

上記外部端子から供給された電源電圧を受けて動作し、外部端子から供給された入力信号を受けてレベル変換して内部回路に伝える入力回路と、

上記外部端子から供給された電源電圧を受けて動作し、内部回路で形成された信号を受けてレベル変換して上記外部端子から出力させるべき出力信号を形成する出力回路とを更に備え、

上記差動増幅回路は、上記外部端子から供給された電源電圧を受けて動作する入力回路及び出力回路を構成するMOSFETと同じプロセスにより形成されたPチャネルMOSFET及びNチャネルMOSFETにより構成されるものであることを特徴とする半導体集積回路装置。

[13] 請求項11において、

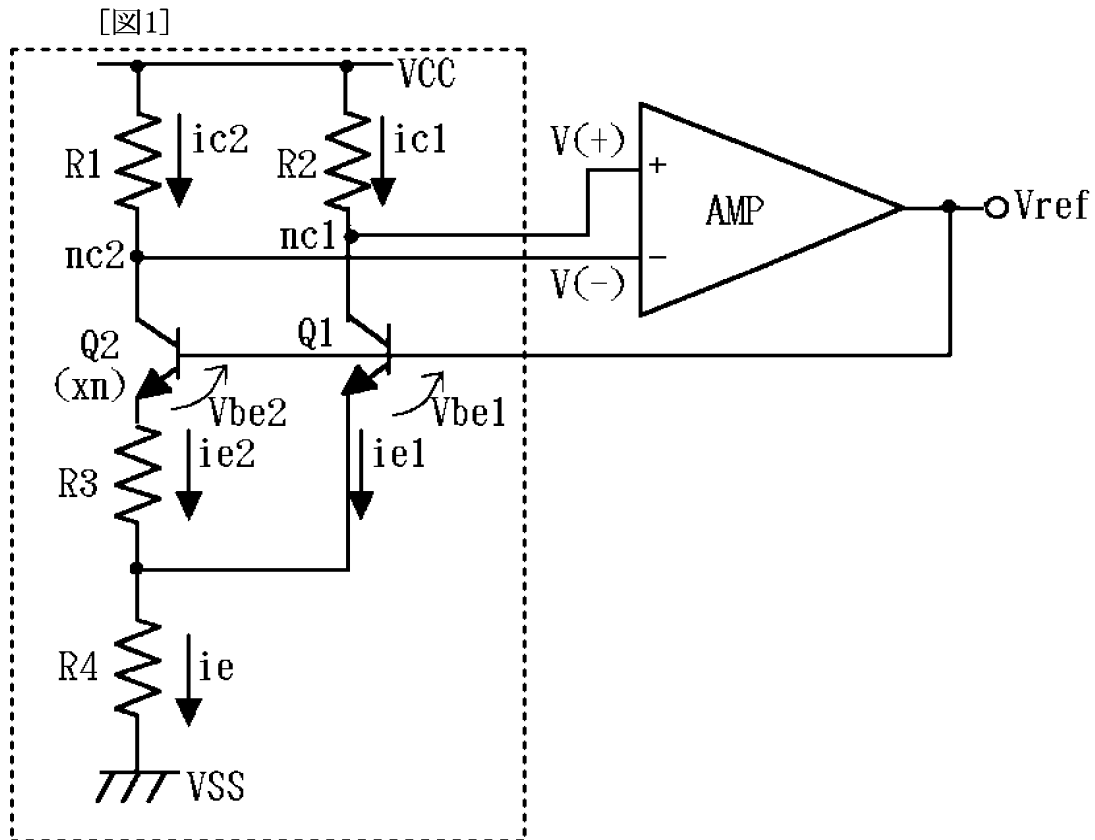
上記内部電圧は、上記外部端子から供給された電源電圧を降圧したものであり、

上記内部回路は、そのCMOSプロセスの最小加工寸法で形成されるものであることを特徴とする半導体集積回路装置。

[14] 請求項11において、

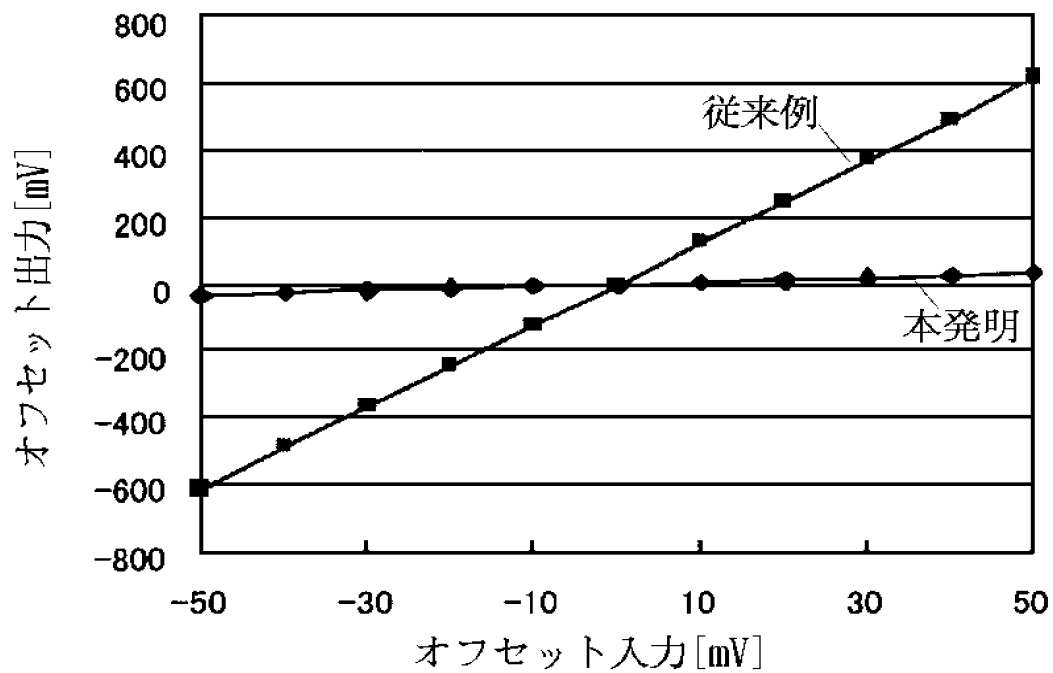
上記電源回路は、上記基準電圧を用いた形成された定電圧で動作する昇圧回路及び負電圧発生回路を含み、

かかる昇圧回路及び負電圧発生回路で形成された電圧は、液晶駆動のためのゲート駆動電圧、画像データに対応したソース駆動電圧及び液晶共通電極駆動電圧として出力されるものであることを特徴とする半導体集積回路装置。

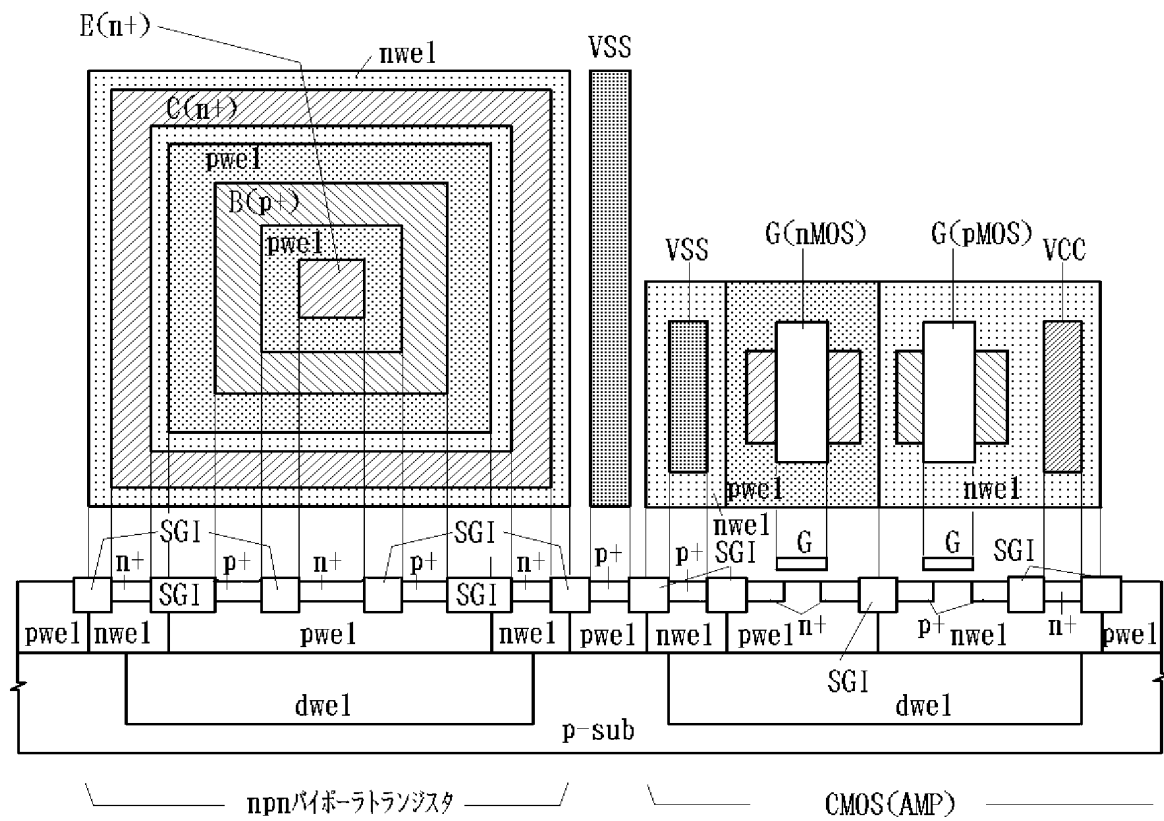


バンドギャップ発生部

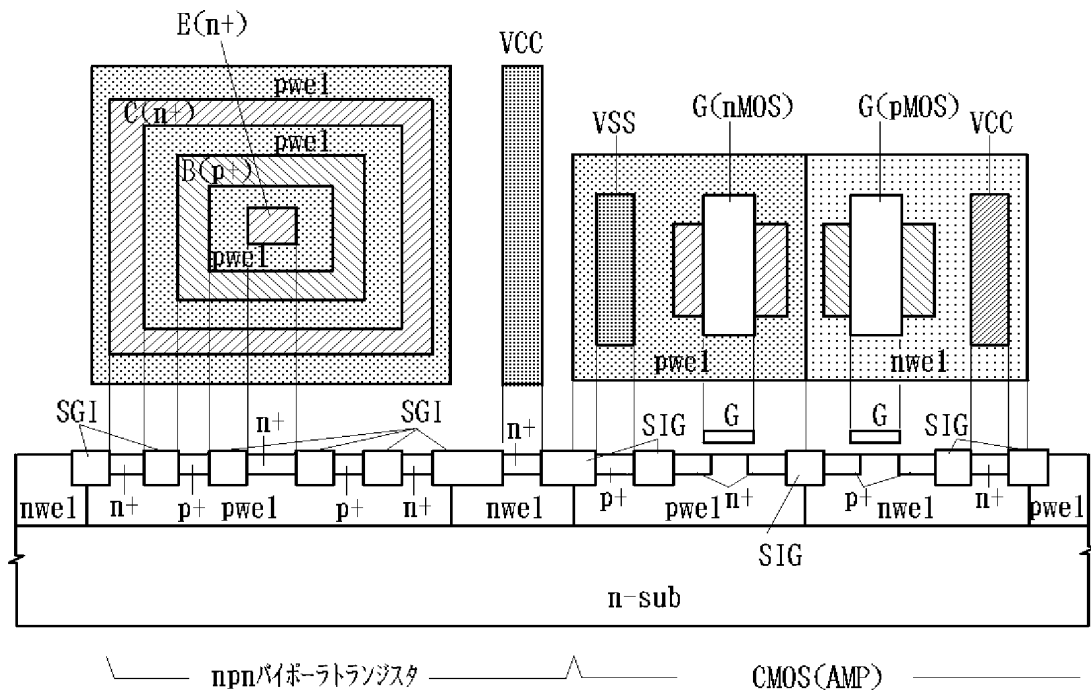
【図2】



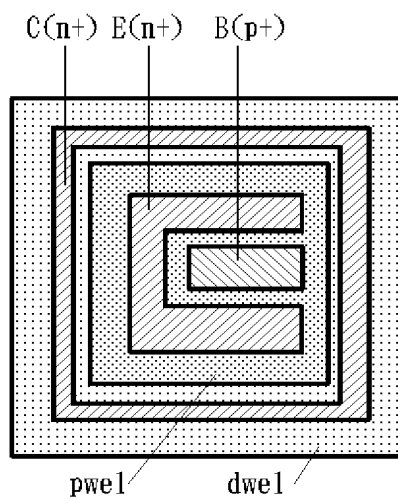
[図4]



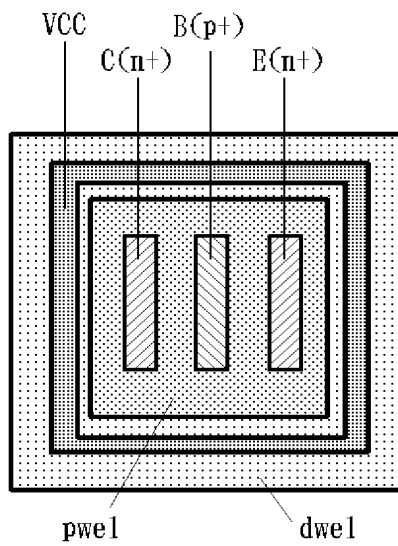
[図5]



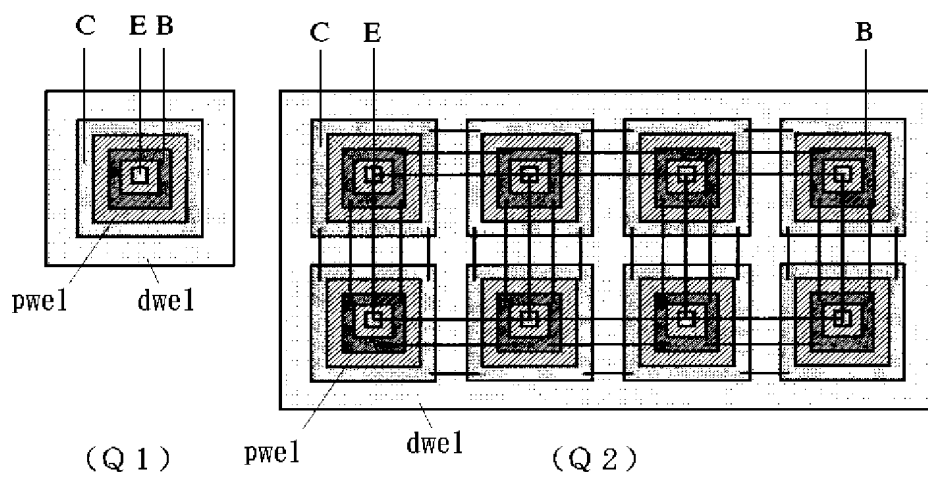
[図6]



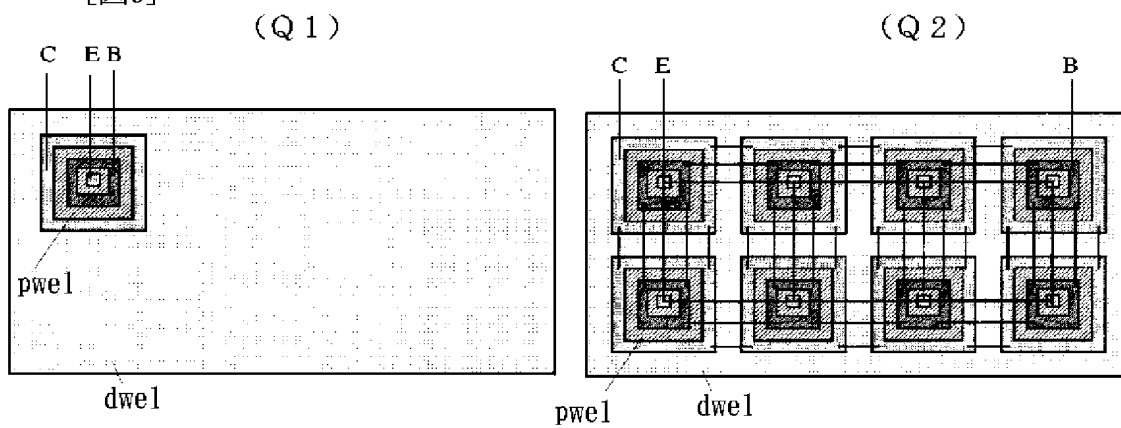
[図7]



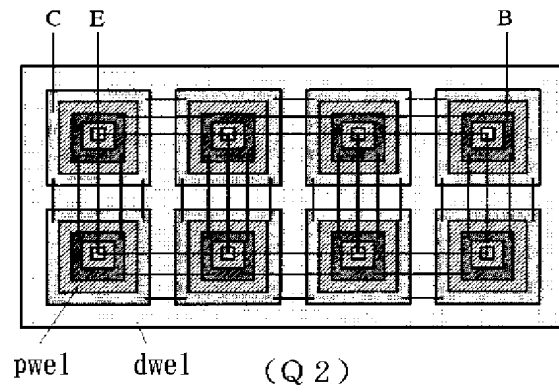
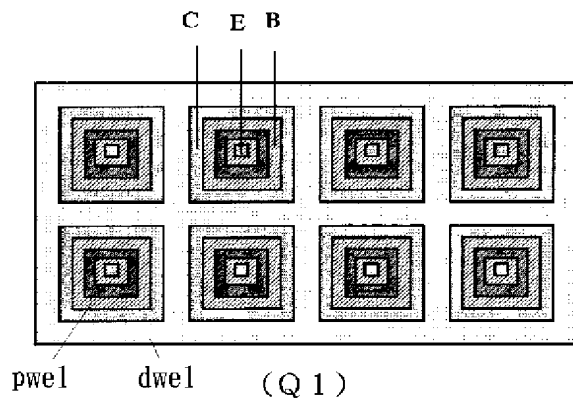
[図8]



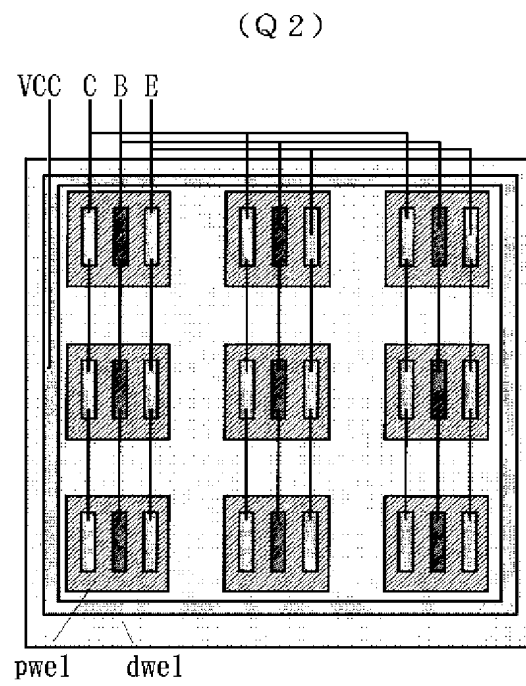
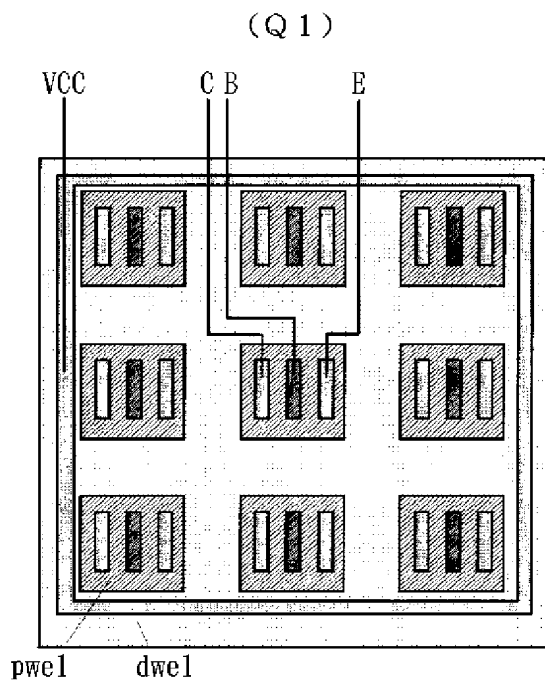
[図9]



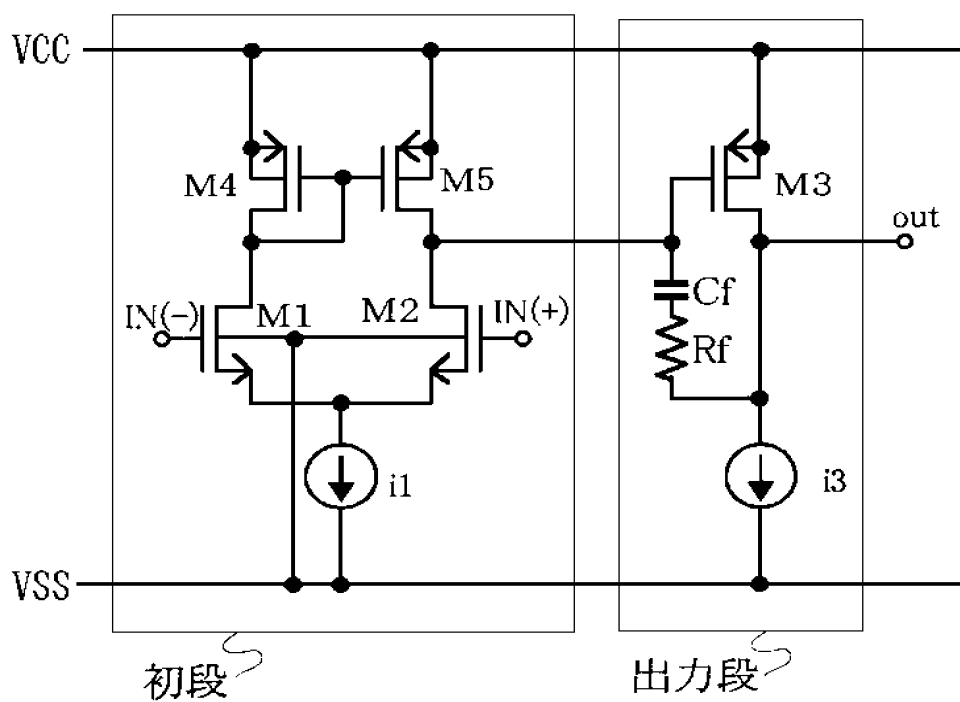
[[10]]



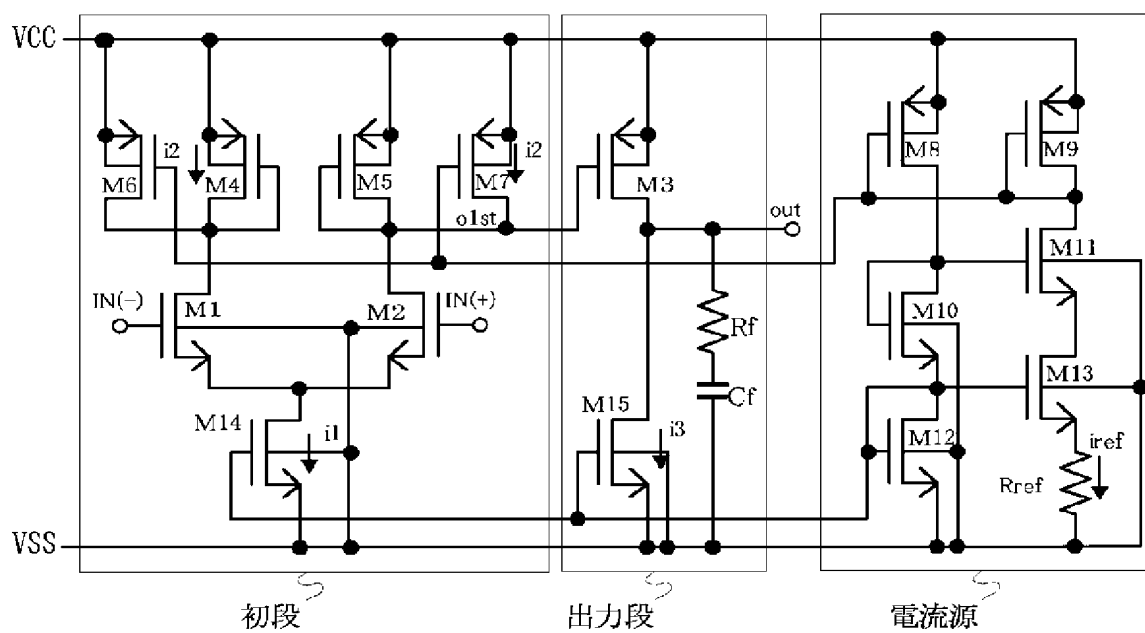
[[11]]



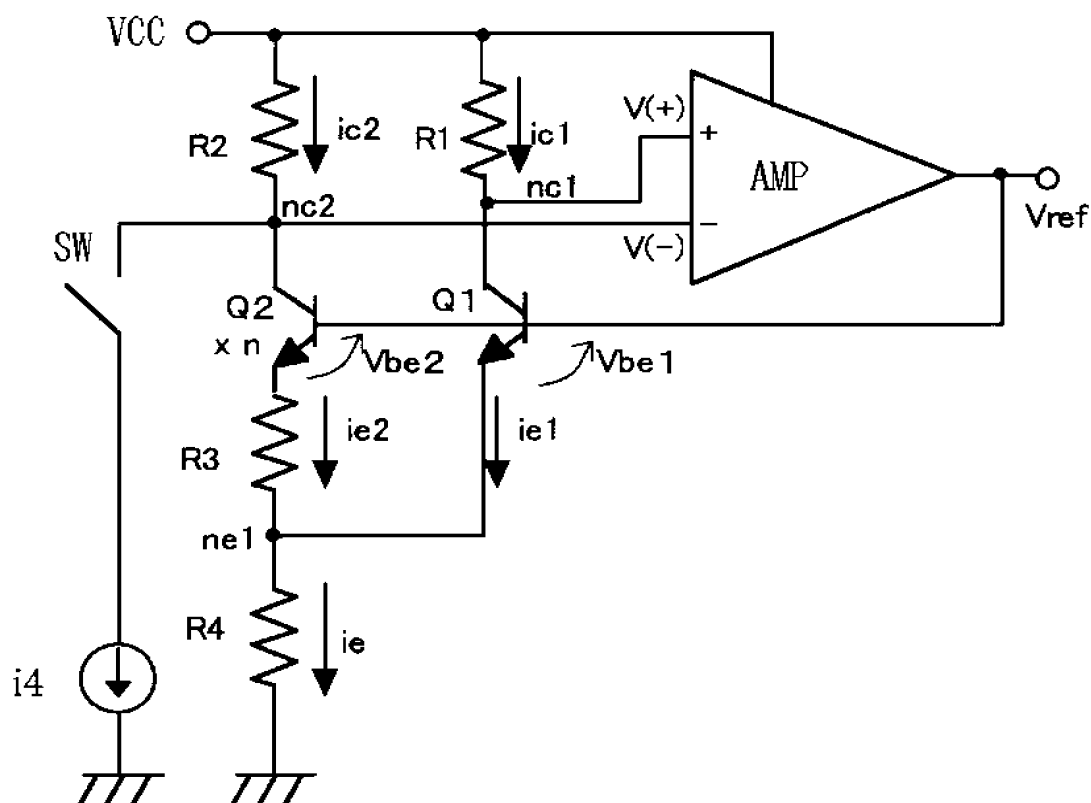
[図12]



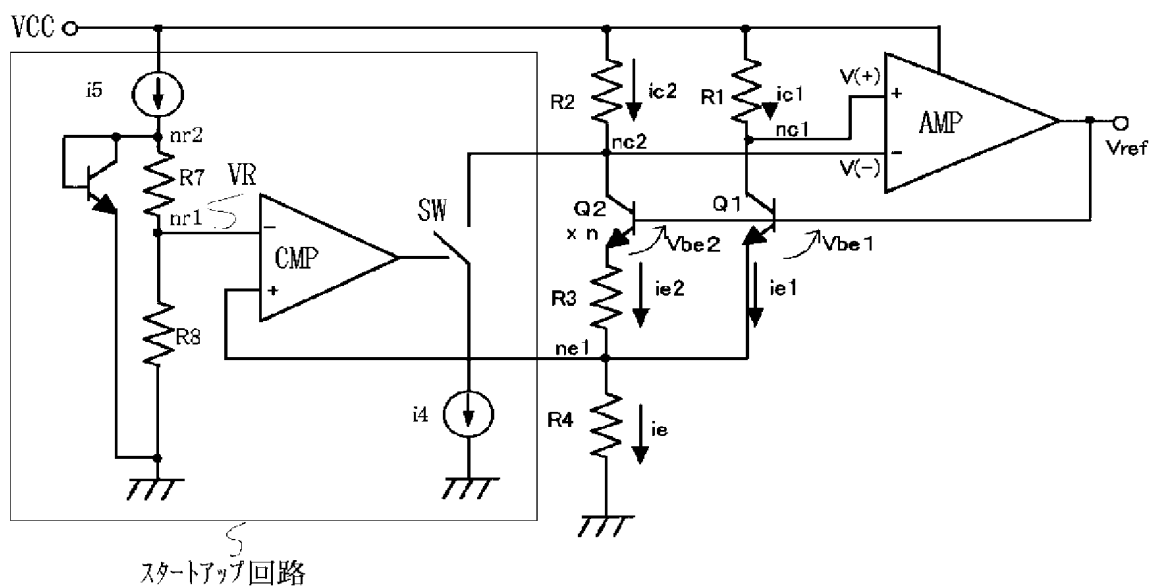
[図13]



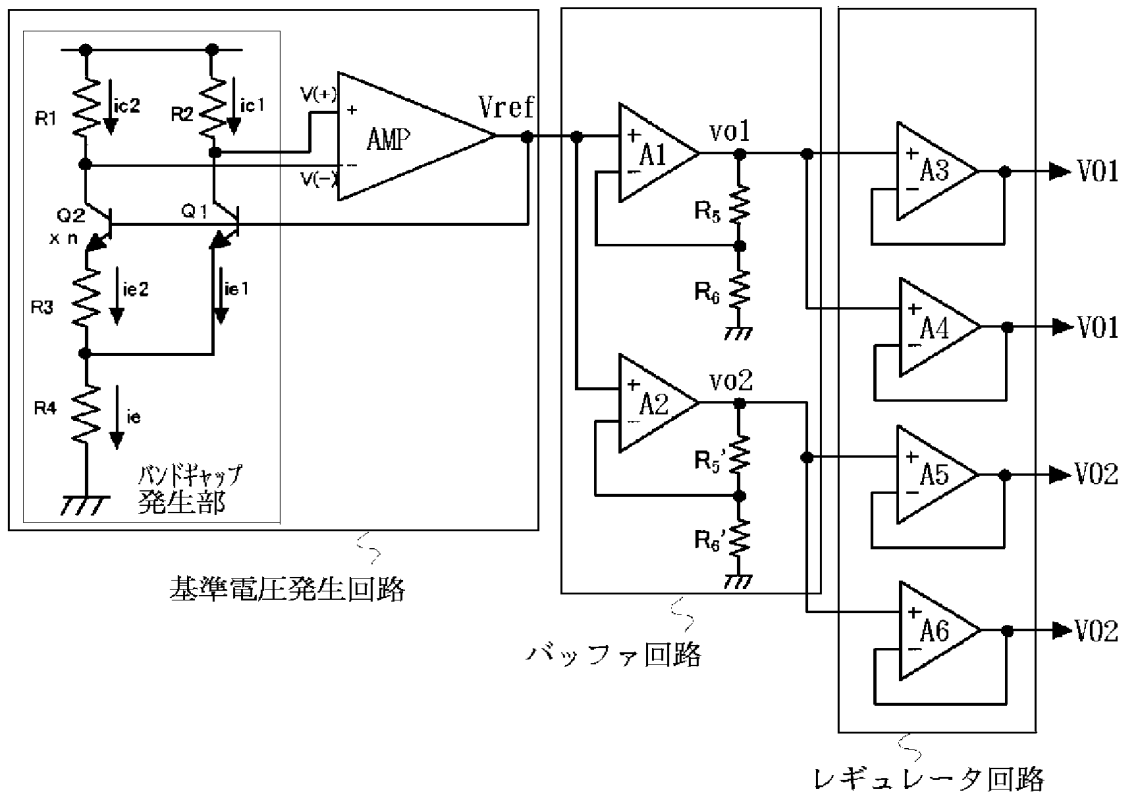
[図14]



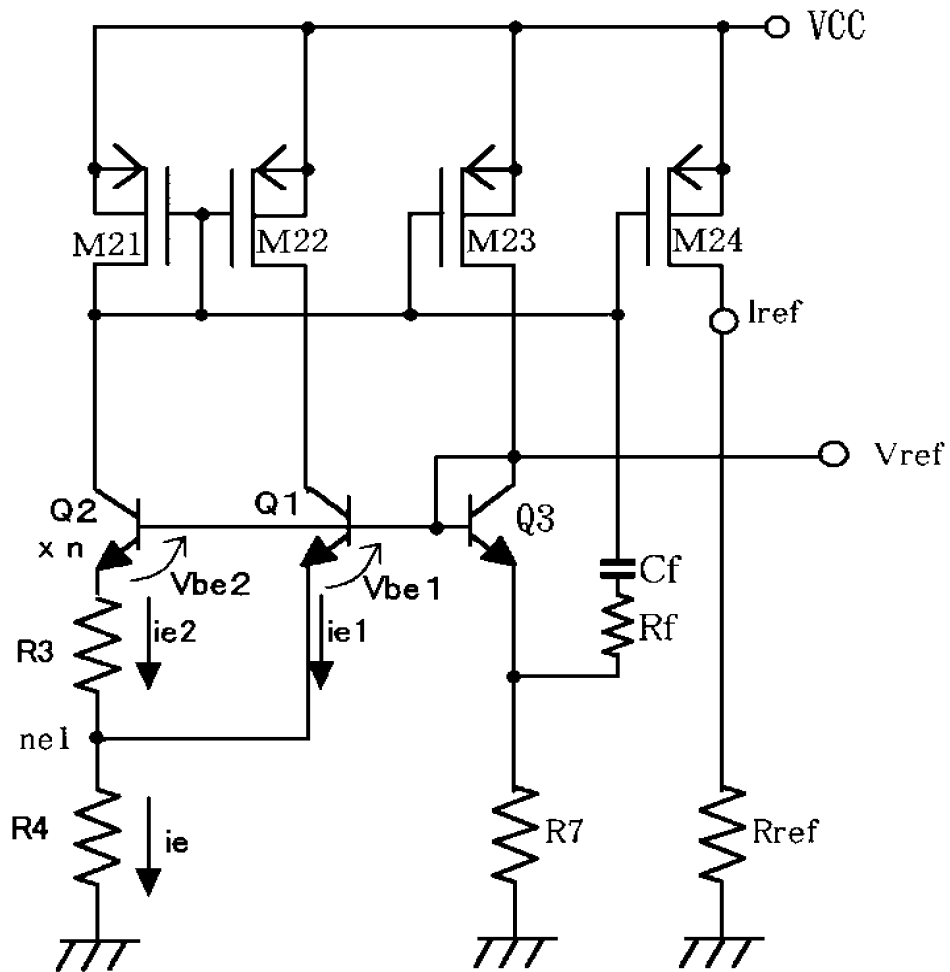
[図15]



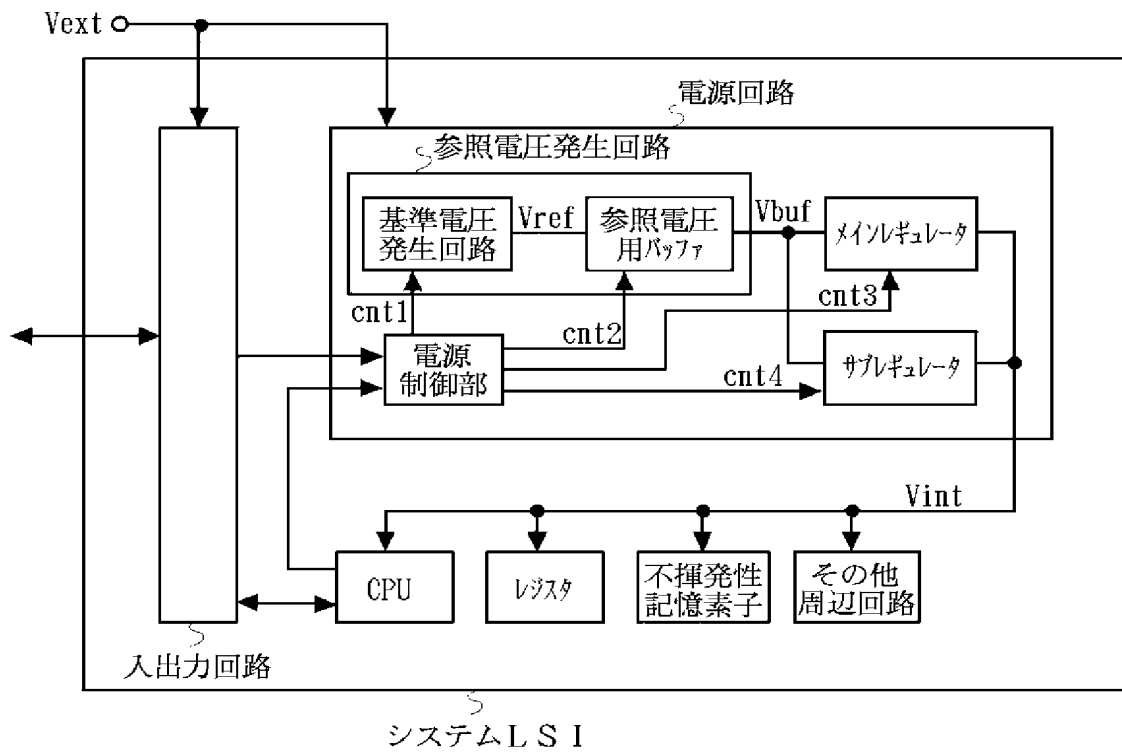
[図16]



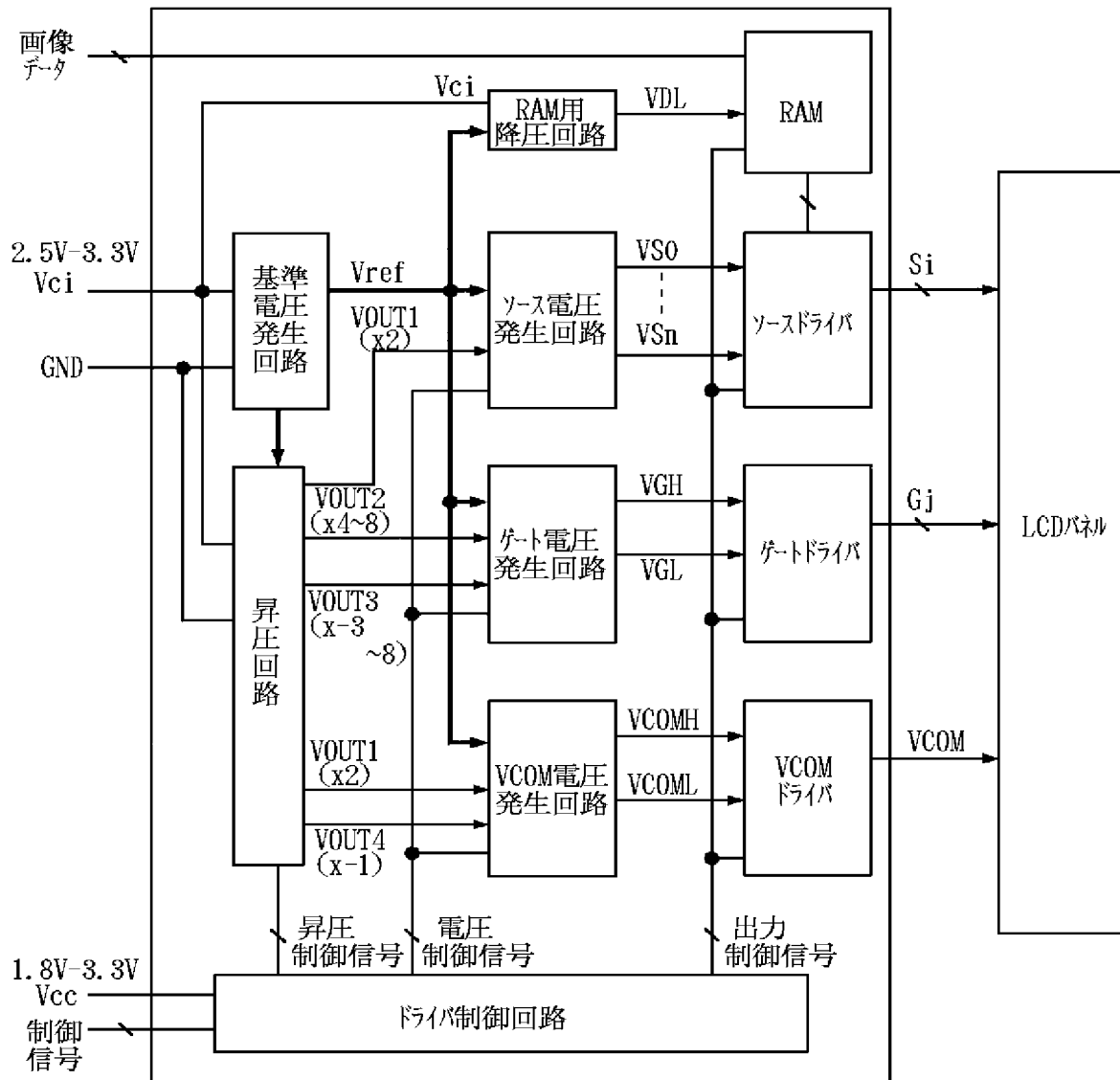
[図17]



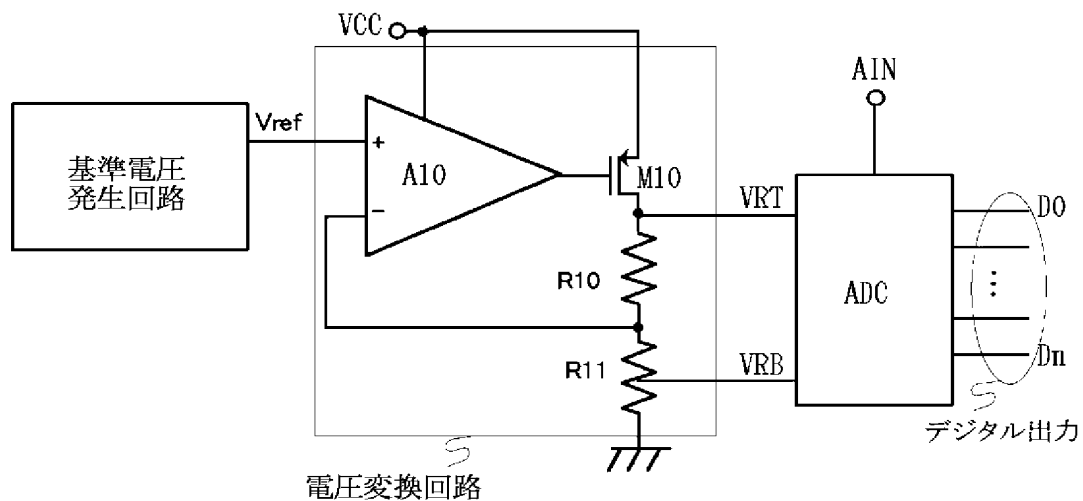
[図18]



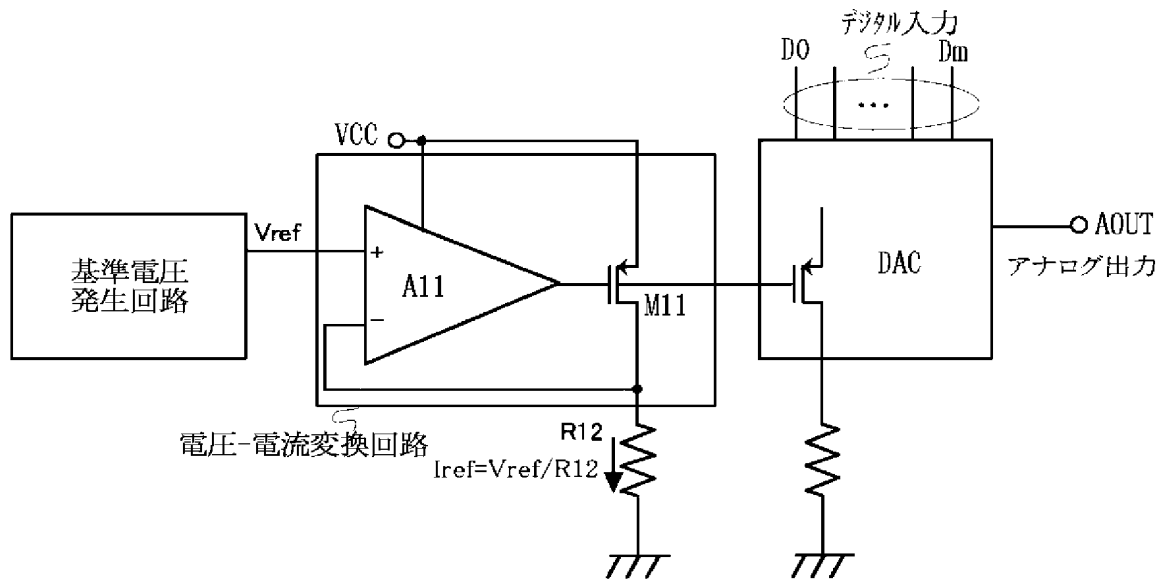
[図19]



[図20]

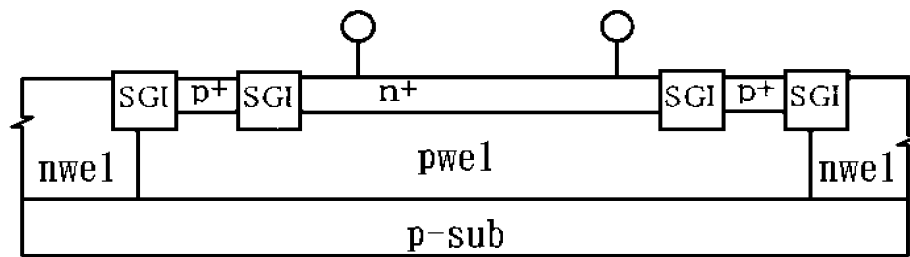


[図21]

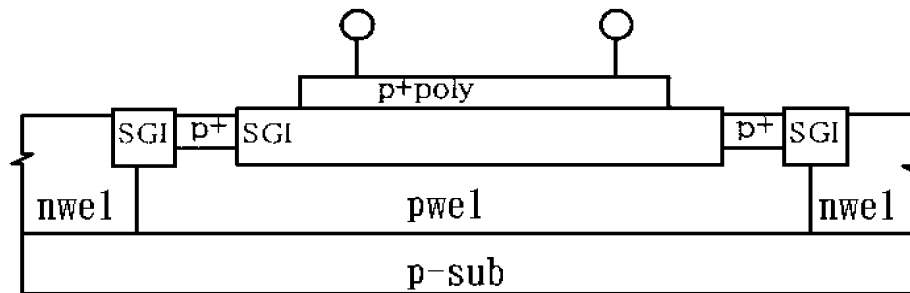


[図22]

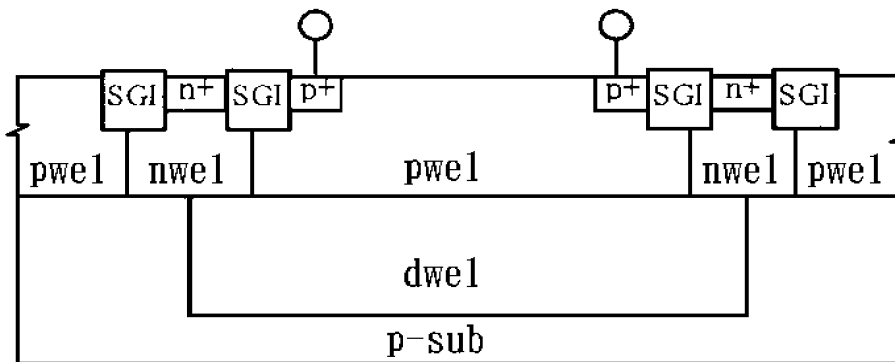
(A)



(B)

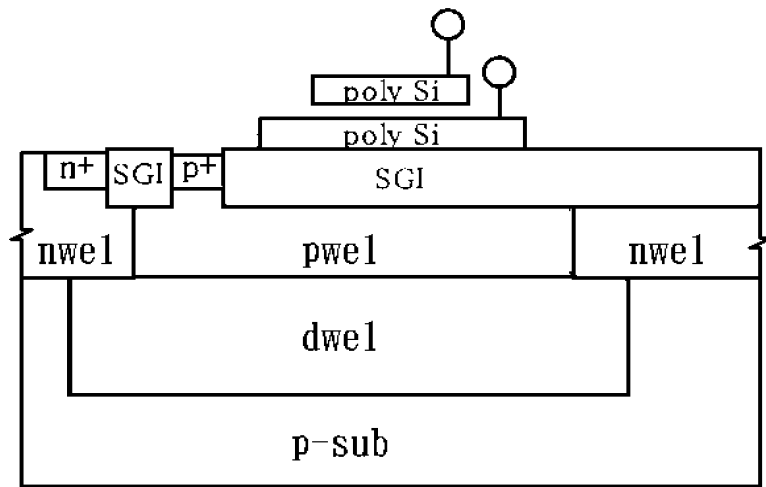


(C)

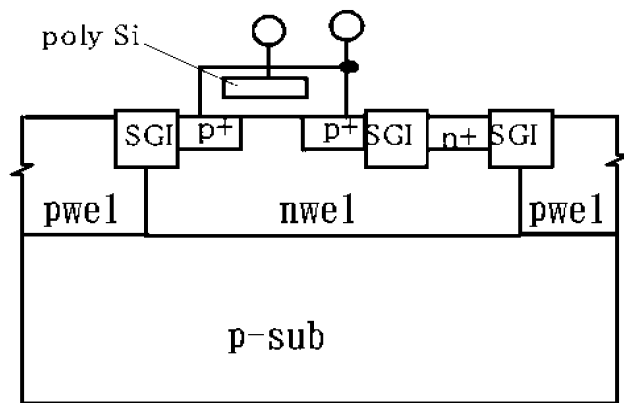


[図23]

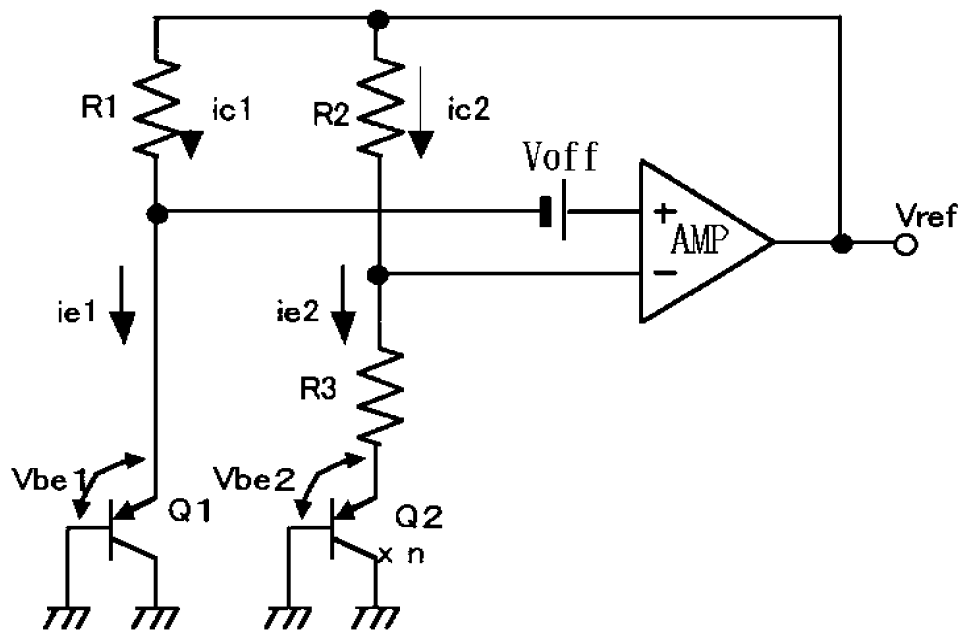
(A)



(B)



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017910

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G05F3/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G05F3/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 58-109912 A (Oki Electric Industry Co., Ltd.), 30 June, 1983 (30.06.83), (Family: none)	1-5 6-14
X A	JP 11-143563 A (Matsushita Electric Industrial Co., Ltd.), 28 May, 1999 (28.05.99), (Family: none)	1-5 6-14
X A	JP 2003-157119 A (Denso Corp.), 30 May, 2003 (30.05.03), & US 2003/0094933 A1	1-5 6-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 February, 2005 (03.02.05)

Date of mailing of the international search report
22 February, 2005 (22.02.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G05F 3/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G05F 3/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2005年

日本国登録実用新案公報 1994-2005年

日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P 58-109912 A (沖電気工業株式会社) 30.06.1983 (ファミリーなし)	1-5 6-14
X A	J P 11-143563 A (松下電器産業株式会社) 28.05.1999 (ファミリーなし)	1-5 6-14
X A	J P 2003-157119 A (株式会社デンソー) 30.05.2003 & US 2003/0094933 A1	1-5 6-14

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

03.02.2005

国際調査報告の発送日

22.2.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川端 修

3 V

8718

電話番号 03-3581-1101 内線 3356